

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-151271

(43)Date of publication of application : 11.06.1990

(51)Int.Cl.

H02M 7/537

(21)Application number : 63-303930

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 02.12.1988

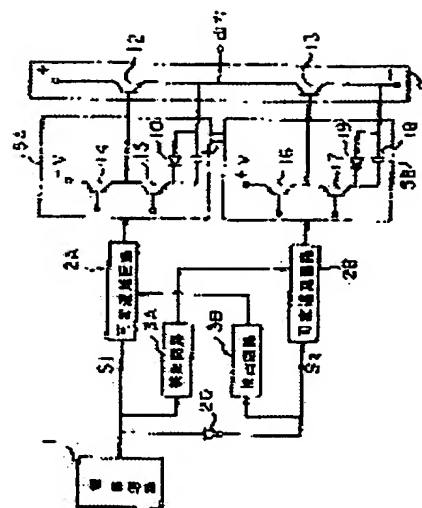
(72)Inventor : MIYAZAKI KOICHI

(54) TRANSISTOR INVERTER DEVICE

(57)Abstract:

PURPOSE: To improve the efficiency of an inverter load by providing a detection circuit for detecting the continuous time of an ON control signal output from a controlling circuit, and a variable delay circuit for varying the delay time of the signal of a transistor corresponding to the detected continuous time.

CONSTITUTION: When a continuous time detected by a detection circuit 3A (3B) is long, a reverse bias voltage between a base and an emitter to be stored in a capacitor 11 (18) of a drive circuit 5A (5B) is sufficiently stored. Even if the delay time is set to a short value, the transistors 12 and 13 of an inverter main circuit 6 are not simultaneously turned ON. On the contrary, when the continuous time is short, the delay time of a variable delay circuit 2B (2A) is set to a long value. In this case, a reverse bias voltage between a base and an emitter to be stored in the capacitor 11 (18) is insufficient, a storage charge discharging time is increased. The delay time of the circuit 2B (2A) is set to a long value so that the transistors 12 and 13 of the circuit 6 may not be simultaneously turned ON.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

1 [Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平2-151271

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)6月11日

H 02 M 7/537

C

8730-5H

審査請求 未請求 請求項の数 1 (全6頁)

⑮ 発明の名称 トランジスタインバータ装置

⑯ 特 願 昭63-303930

⑰ 出 願 昭63(1988)12月2日

⑱ 発 明 者 宮 崎 宏 一 静岡県富士市夢原366 株式会社東芝富士工場内

⑲ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

⑳ 代 理 人 弁 理 士 則 近 憲 佑 外1名

明 細 書

1. 発明の名称

トランジスタインバータ装置

2. 特許請求の範囲

直列接続された複数のトランジスタからなるインバータ主回路と、前記各トランジスタをオン・オフするオン・オフ制御信号を出力する制御回路と、この制御回路から前記インバータ主回路の各トランジスタに対して出力されるオン制御信号の遅延時間を検出する検出回路と、検出されたオン制御信号の遅延時間に応じて相対するトランジスタに供給されるオン制御信号の立上りの遅延時間を可変として出力すると共に、オフ制御信号は遅延することなく出力する可変遅延回路と、前記各トランジスタに対して設けられ、トランジスタのオン時に充電され、オフ時に前記トランジスタのエミッタからベースへ逆電流を流すコンデンサを有し、前記可変遅延回路から出力される前記オン・オフ制御信号を前記トランジスタのベースに供給するドライブ回路とからなることを特徴とす

るトランジスタインバータ装置。

3. 発明の詳細な説明

(発明の目的)

(産業上の利用分野)

この発明は、トランジスタインバータ装置に関する。

(従来の技術)

従来のトランジスタインバータ装置は、複数のトランジスタをオン・オフ制御して、所望の周波数・電圧を有する出力を得るものである。

第3図にこのようなトランジスタインバータ装置のブロックを示す。

インバータ主回路6は直流電源に複数のトランジスタ12、13が直列接続されている。制御回路1はインバータ主回路6の各トランジスタ12、13をオン・オフさせるオン・オフ制御信号を出力する。遅延回路8A、8Bはオン制御信号の立上りを遅延し、オフ制御信号は、遅延なしに出力する回路でありインバータ主回路6に2個のトランジスタ12、13を+電源と-電源間に、直列

接続しているため、これらのトランジスタ12、13が同時にオンしないようにするための回路である。ドライブ回路5A(5B)はインバータ主回路6のトランジスタ12(13)を、オン・オフ制御信号に基づいてオン・オフさせるとともに、オフ時に逆バイアス電圧をエミッタからベースへかけるコンデンサ11(18)を有する。

このような従来の回路動作を第4図に示す。第4図は(c)インバータ主回路のトランジスタ12のベース入力電流波形、(d)ドライブ回路5Aのコンデンサ11の電圧波形、(e)トランジスタ12の出力電流波形である。

通常、トランジスタはオンからオフの状態に移行するには、その特性からオンからオフに変化する際、完全にオフするにはしばらくの時間が必要である。これはトランジスタがオンの時間帯に於いて、その内部に電荷を蓄積することから、オンからオフに変わるには、この蓄積電荷を放出する時間が必要となるためである。

このオンからオフへの切替時にトランジスタに逆

電流を流せば、この蓄積電荷が急速に放出され、完全にオフするまでの時間が短縮できる。

このような考えから、特開63-5436号公報に示されるようにトランジスタ12のオフ時には、トランジスタ15をオンさせ、コンデンサ11からトランジスタ12のベース-エミッタ間に逆電流を流すドライブ回路がある。

すなわち、ドライブ回路5Aは制御回路1から遅延回路8Aを介して出力されるオン・オフ制御信号において、オン制御信号が入力された場合、トランジスタ14がオンし、同時にトランジスタ15がオフし、トランジスタ12のベースにはトランジスタ14を介して+Vのベース電圧がかかり、トランジスタ12はオンする。そして、トランジスタ12がオンになると、トランジスタ12のコレクタからエミッタへ電流が流れて、コンデンサ11が充電される。

一方、オフ制御信号が入力された場合は、トランジスタ15がオンし、同時にトランジスタ14がオフし、コンデンサ11からトランジスタ12

のエミッタからベース方向へ逆バイアス電流を流すようになっている。

次にドライブ回路5Bは、ドライブ回路5Aと同様に制御回路1からインバータ20、遅延回路8Bを介して出力されるオン・オフ制御信号において、オン制御信号が入力された場合、トランジスタ13をオンし、コンデンサ18を充電し、オフ制御信号が入力された場合、トランジスタ13に逆バイアス電流を流すようになっている。

このようなドライブ回路を採用した場合、第4図(d)(e)に示すように、オフ時に逆電流を供給するコンデンサの出力は、オン時間に関係し、オン時間が長い場合には、コンデンサへの充電量が多いため、完全に、オフするまでの時間が短くてすみ、オン時間が短い場合には、コンデンサへの充電量が少ないため逆電流が少なく、完全にオフするまでの時間が長くなる。

このことから、従来の遅延回路8A、8Bの遅延時間は、第5図に示すように、オン時間の短い場合においても、2個のトランジスタが同時にオ

ンしないような時間もdが一律に設定されている。

(発明が解決しようとする課題)

以上のように、従来のトランジスタインバータ装置では、オン時間の短い場合を考慮して、長い遅延時間を設定している。このため、オン時間の長い場合には、設定される遅延時間が充分すぎ、理想的な出力を得る為に、一定時間内のパルス数を可能な限り増加させたいことに対して欠点となっていた。

そこで、本発明は、トランジスタの遅延時間の設定を改良し、より良質な出力の得ることのできるトランジスタインバータ装置を提供することを目的とする。

(発明の構成)

(課題を解決するための手段)

本発明のトランジスタインバータ装置においては、制御回路から直列接続されたトランジスタに対して、出力されるオン制御信号のそれぞれの駆動時間を検出回路3A・9Bによって検出し、検出回路3Aによって検出された駆動時間に応じ

て、可変遅延回路2Bの遅延時間を検出回路3Bによって検出された遅延時間に応じて可変遅延回路2Aの遅延時間を変化させるようにして、可変遅延回路2A、2Bから出力される制御信号をトランジスタのベースに供給すると共に、トランジスタのオン時には充電し、オフ時にはコレクタからベースへと逆電流を流すドライブ回路5A・5Bを介して、直列接続されるトランジスタを備えた単位インバータを少なくとも2組有するインバータ主回路6の各トランジスタのオン・オフを制御するという構成になっている。

(作用)

このように構成されたものにおいては、トランジスタの遅延時間を一定値としないで、それ以前のオン制御信号の遅延時間の長さによって最適値が設定されて不要な遅延時間を削減することが可能となる。

(実施例)

第1図は、本発明の一実施例を示すブロック図である。

を短く設定して、逆に、検出されたオン制御信号の遅延時間が短い場合には、立上りの遅延時間を長く設定する。また、オフ制御信号は遅延することなくドライブ回路5A、5Bへ供給される。ドライブ回路5A、5Bは、可変遅延回路2A、2Bから出力されるオン・オフ制御信号を従来と同様の回路動作でインバータ主回路6の各トランジスタのベースに供給すると共に、コンデンサを用いて、インバータ主回路6の各トランジスタのオン時に充電し、オフ時にはエミッタからベースへと逆電流を流すようになっている。

この回路においては、制御回路1から出力されるオン制御信号の遅延時間を+側の検出回路3Aによって検出して、検出された遅延時間が長いときは、可変遅延回路2Bの遅延時間を短く設定する。

一方、制御回路1からインバータ20を介して出力されるオン制御信号の遅延時間を-側の検出回路3Bによって検出して検出された遅延時間が長いときは可変遅延回路2Aの遅延時間を短く設定する。

図においては、インバータ主回路6は直流電源に複数の直列接続されたトランジスタ12、13からなり、制御回路1は+側のインバータ主回路6のトランジスタ12をオン・オフさせるオン・オフ制御信号を出力する。一方のインバータ主回路6のトランジスタ13には制御回路1から+側へ出力されたオン・オフ制御信号をインバータ20で反転させたオン・オフ制御信号が供給される。すなわち、トランジスタ13にはトランジスタ12と逆のオン・オフ制御信号が与えられ、トランジスタ12がオンのときはトランジスタ13はオフし、トランジスタ12がオフのときはトランジスタ13はオンする。検出回路3A、3Bは、制御回路1とインバータ主回路6の間に設けられ、制御回路1から出力されるオン・オフ制御信号のオン制御信号の遅延時間を検出する。可変遅延回路2A、2Bは、検出回路3A、3Bで検出されたオン制御信号の遅延時間が長い場合には、インバータ主回路6の相対するトランジスタ12、13に供給されるオン制御信号の立上りの遅延時間

即ち、検出回路3A(3B)によって検出された遅延時間が長いときには、ドライブ回路5A(5B)の中のコンデンサ11(1B)に蓄積されるベース-エミッタ間の逆バイアス電圧は、十分に蓄積され、この遅延時間を短く設定しても、インバータ主回路6の相対するトランジスタ12、13は同時にオンしない。

逆に、検出回路3A(3B)によって検出された遅延時間が短いときには、可変遅延回路2B(2A)の遅延時間を長く設定する。

この場合、ドライブ回路5A(5B)の中のコンデンサ11(1B)に蓄積されるベース-エミッタ間の逆バイアス電圧は不十分であり、この逆バイアス電圧を使用した蓄積電荷放出時間は長くなり、可変遅延回路2B(2A)の遅延時間を長く設定して、インバータ主回路6の相対するトランジスタ12、13が同時にオンしないようにしている。

以上のように構成された本実施例の動作を第2図を用いて説明する。

第2図は本実施例の(a1)第1図のS1点の電圧波形(a2)+電源側の可変遅延回路2Aの出力(b1)第1図のS2点の電圧波形(b2)-電源側の可変遅延回路2Bの出力を示したものである。制御回路1から出力されるA時点から始まる+電源側のオン制御信号はB時点でオフ制御信号に変化し、可変遅延回路2Aの出力はB時点でオフ制御信号となる。

このA-B間は、オン遅延時間が長く、これが検出回路3Aで検出され、可変遅延回路2Bに遅延時間を短く設定するように信号を出力する。この結果、可変遅延回路2Bは、B時点で制御回路1からインバータ20を介して入力されるオン制御信号の立上りを短い遅延時間 t_1 だけ遅らせてC時点でオン制御信号を出力する。そして、BからDの間の一電源側のオン制御信号においても同様に、オン遅延時間が長く、これが検出回路3Bで検出され、可変遅延回路2Aに遅延時間を短く設定するように信号を出力する。この結果、可変遅延回路2AはD時点で制御回路1から出力される

オン制御信号の立上りを短い遅延時間 t_1 だけ遅らせて、オン制御信号を出力する。

次いでD時点から始まる+電源側のオン制御信号はF時点でオフ制御信号に変化し、このオフ制御信号が入力された可変遅延回路2Aの出力はF時点でオフ制御信号となる。

このD-F間はオン遅延時間が短く、これが検出回路3Aで検出されて、可変遅延回路2Bに遅延時間を長く設定するように、信号を出力する。この結果、可変遅延回路2BはF時点で制御回路1からインバータ20を介して入力されるオン制御信号の立上りを長い遅延時間 t_2 遅らせてG時点でオン制御信号を出力する。

そして、FからHの間の一電源側のオン制御信号においても同様に、オン遅延時間が短く、これが検出回路3Bで検出され、可変遅延回路2Aに遅延時間を長く設定するように信号を出力する。この結果、可変遅延回路2AはH時点で制御回路1から出力させるオン制御信号の立上りを長い遅延時間 t_2 遅らせてI時点でオン制御信号を出力

する。

このように、本実施例によれば、不要な遅延時間の削除が可能となる。

〔発明の効果〕

以上詳述してきたように、本発明によれば、制御回路から出力されるオン制御信号の遅延時間を検出する検出回路と、検出された遅延時間に応じて相対するトランジスタのオン制御信号の遅延時間を変化させる可変遅延回路を設けて構成したことにより、トランジスタのスイッチング波形における不要な遅延時間を削減でき、その分、一定時間内のスイッチング波形の構成を細かく設定でき、出力波形の質向上が達成できる。これはとくに、インバータ負荷の効率の向上に貢献できる。

4. 図面の簡単な説明

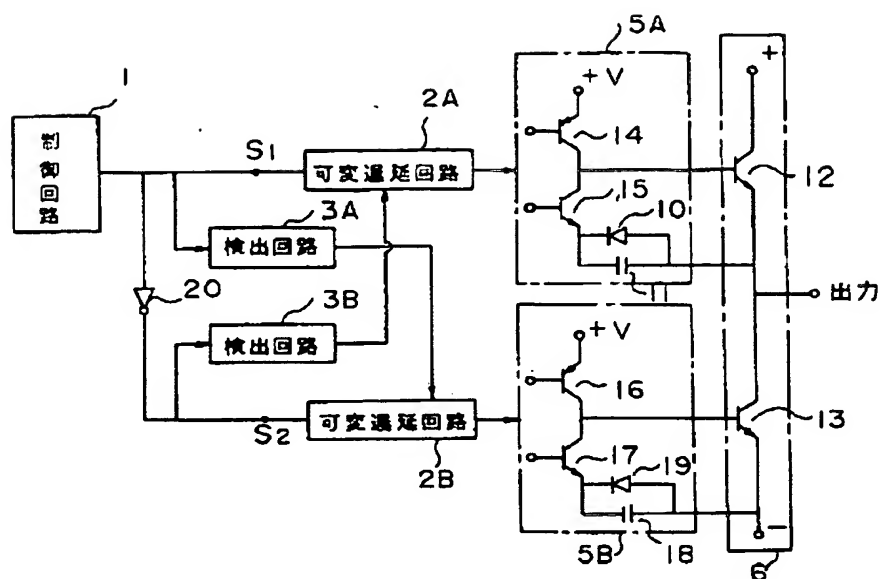
第1図は本発明の実施例に係るトランジスタインバータ装置の構成を示すブロック図、第2図は同実施例のトランジスタインバータ装置における各部の電圧波形及び可変遅延回路出力を示すタ

イムチャートで、第3図は従来のトランジスタインバータ装置の構成を示すブロック図、第4図はトランジスタの入力電流、コンデンサの電圧、制御信号の電圧の波形図、第5図は従来のトランジスタインバータ装置における遅延回路を示すタイムチャートである。

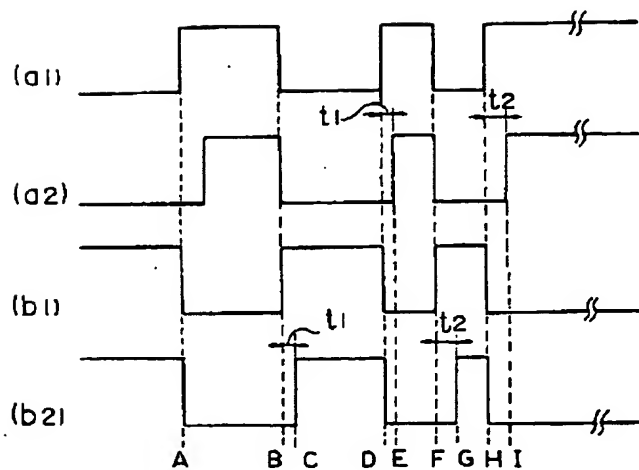
- 1…制御回路、2A、2B…可変遅延回路、
- 3A、3B…検出回路、5A、5B…ドライブ回路、
- 6…インバータ主回路、8A、8B…遅延回路、
- 10、19…ダイオード、11、18…コンデンサ、
- 40、12、13、…トランジスタ、20…インバータ

代理人 弁理士 則 近 憲 佑

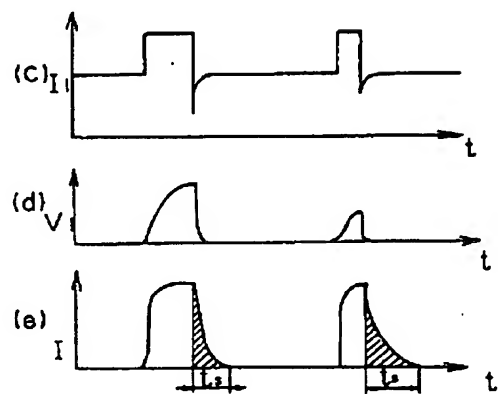
同 宇 治 弘



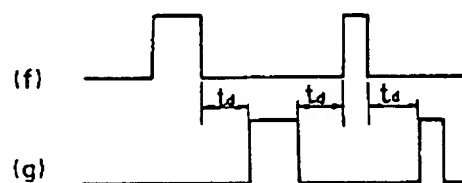
第 1 図



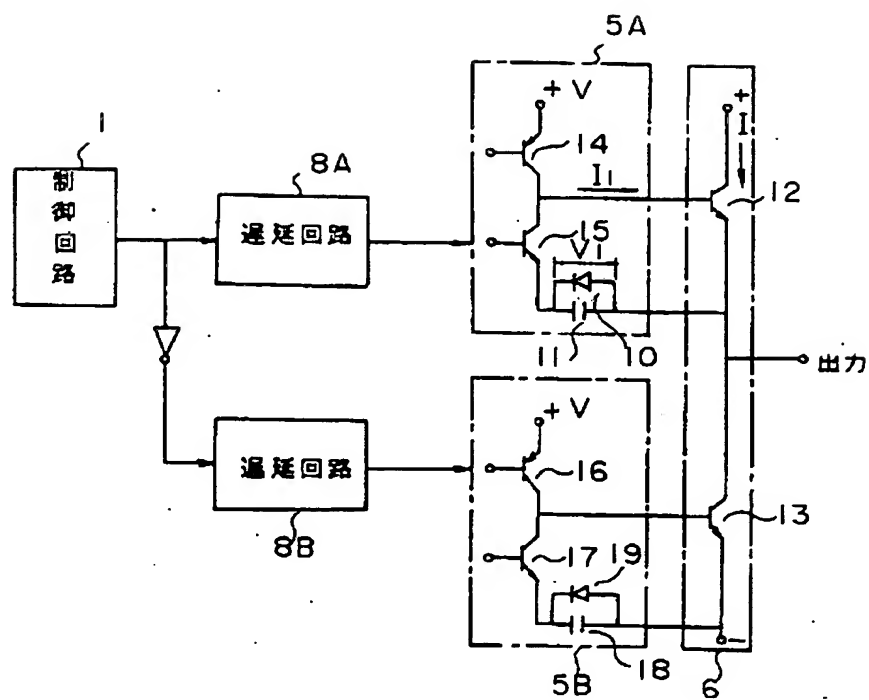
第 2 図



第 4 図



第 5 図



第 3 図